دانشگاه صنعتی امیرکبیر

دانشکده مهندسی برق

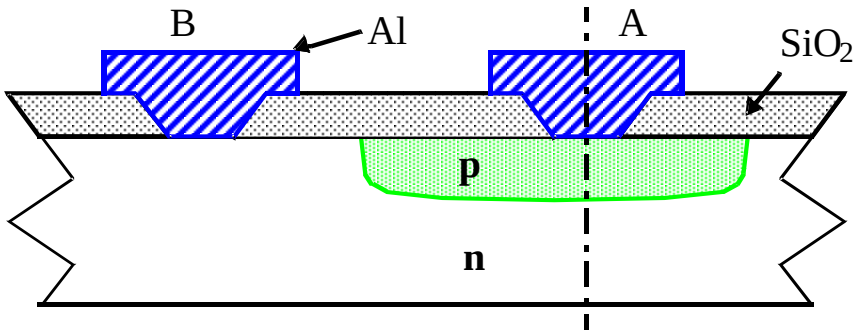
طراحی مدار های VLSI

فصل سوم: ترانزیستور MOS

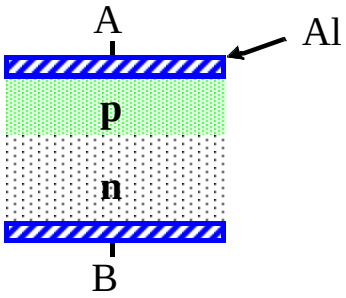
مجید شالچیان

majid.shalchian@gmail.com

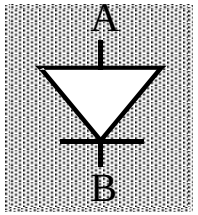
دیود p-n



Cross-section of pn-junction in an IC process



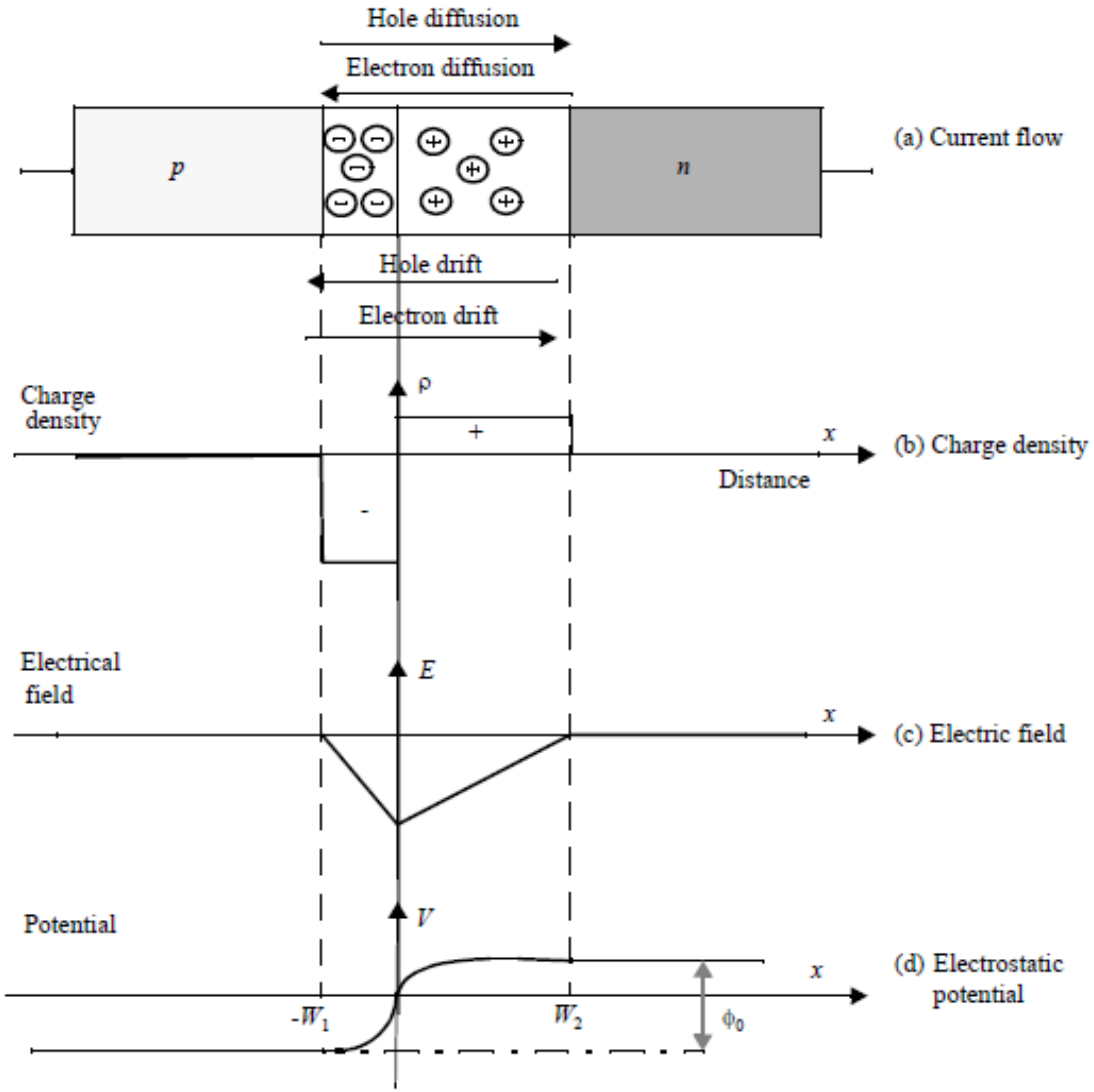
One-dimensional representation



diode symbol

در مدار های VLSI دیود P-N یک عنصر پارازیتی می باشد.

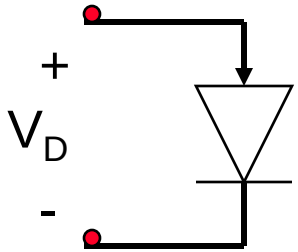
پیوند پله ای تحت شرایط تعادل



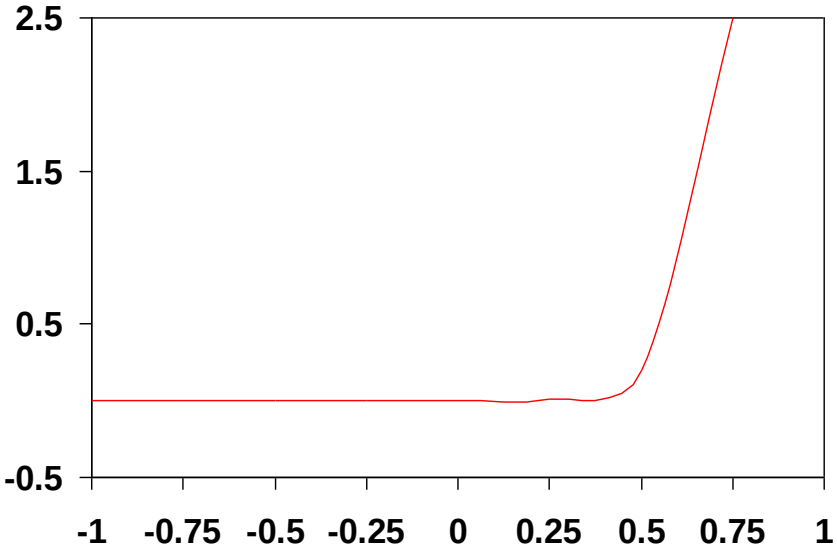
مشخصه جریان ولتاژ دیود

- معادله دیود در شرایط بایاس مستقیم و معکوس

$$I_D = I_S(e^{V_D/\phi_T} - 1)$$



V_D ولتاژ اعمالی به پیوند است.

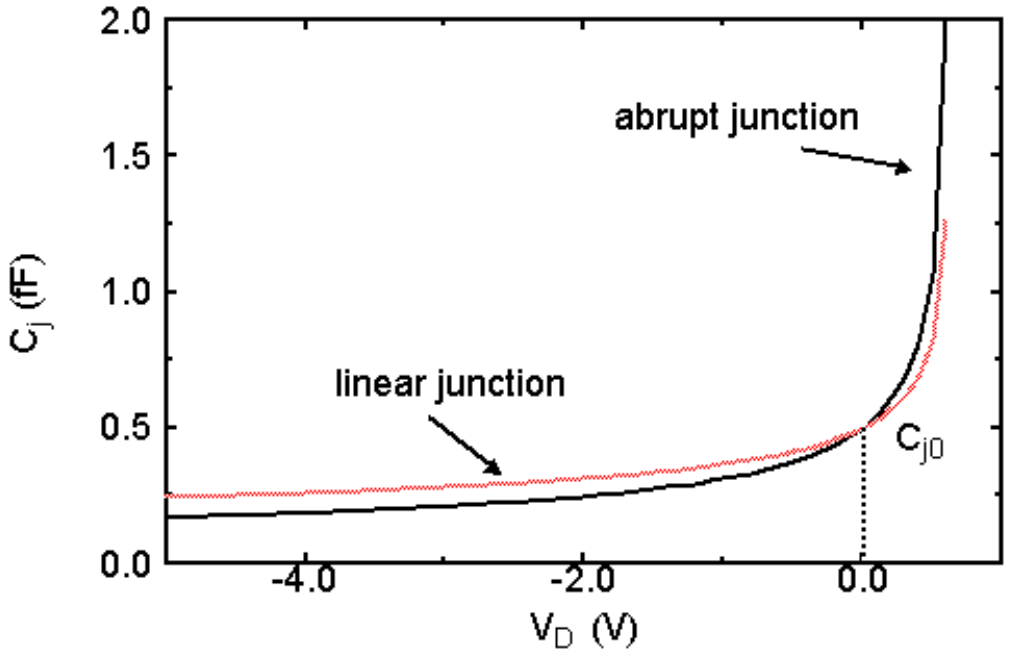


- بایاس مستقیم سد پتانسیل را کاهش می دهد و جریان حامل های اکثریت افزایش می یابد.
- بایاس معکوس سد را زیاد می کند و فقط جریان معکوس حامل های اقلیت را داریم

$$\phi_T = kT/q = 26mV \text{ at } 300K$$

I_s جریان اشباع معکوس دیود است.

خازن پیوند در حالت بایاس معکوس



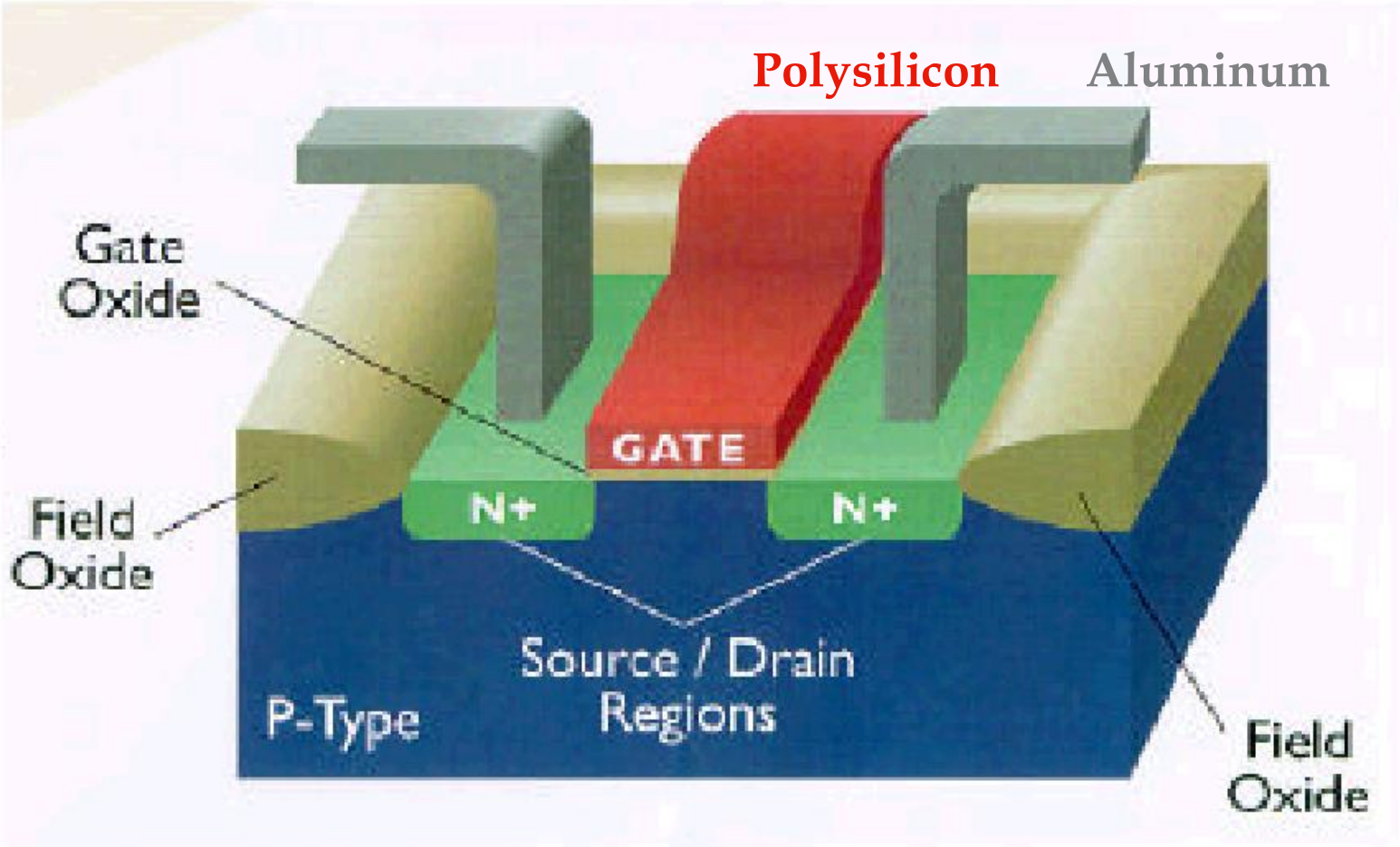
$$C_j = \frac{C_{j0}}{(1 - V_D/\phi_0)^m}$$

m = 0.5: abrupt junction
m = 0.33: linear junction

Example 3.3 Junction Capacitance

Consider the following silicon junction diode: $C_{j0} = 2 \times 10^{-3}$ F/m^2, $A_D = 0.5$ μm^2, and $\phi_0 = 0.64$ V. A reverse bias of –2.5 V results in a junction capacitance of 0.9×10^{-3} F/m^2 (0.9 fF/μm^2), or, for the total diode, a capacitance of 0.45 fF.

ترانزیستور MOS

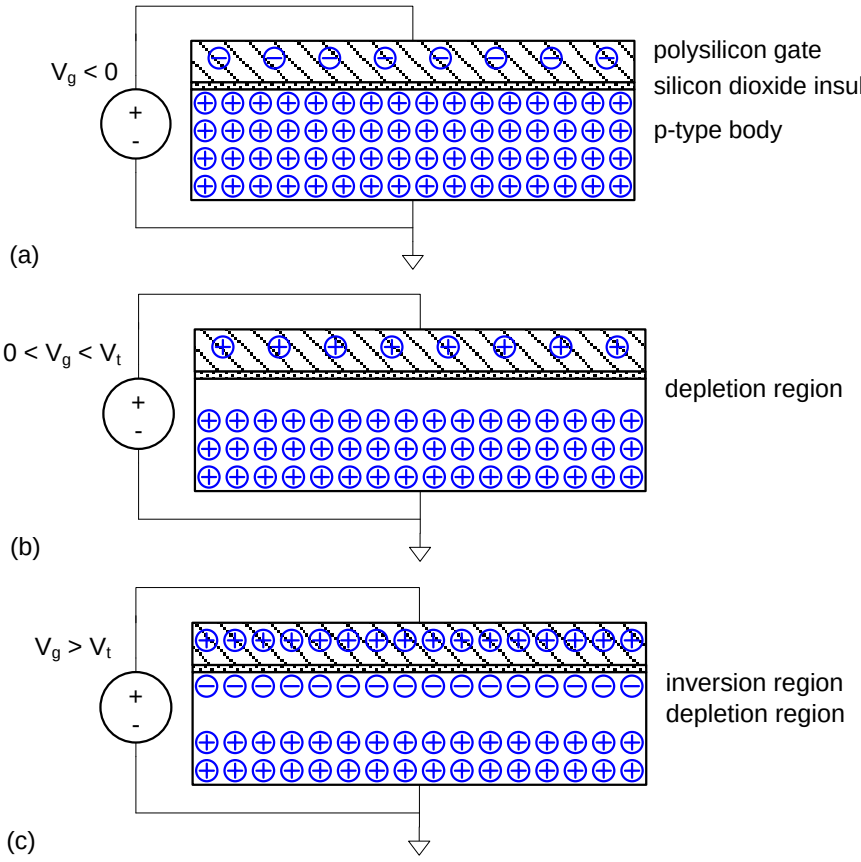


خازن MOS

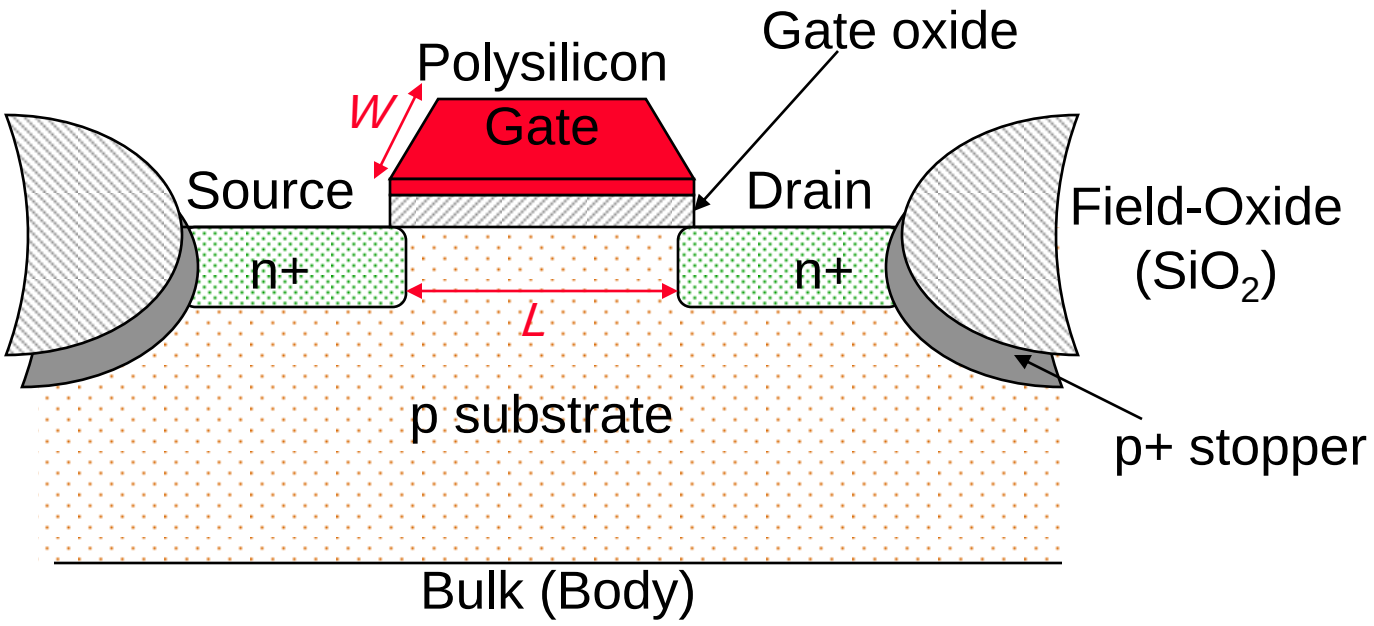
خازن بین گیت و بدنه با ولتاژ Vg تحریک می شود.

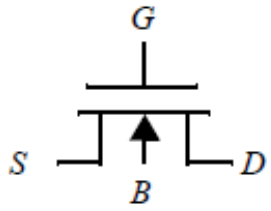
سه ناحیه عملکردی وجود دارد

- ❑ ناحیه accumulation
- ❑ ناحیه depletion
- ❑ ناحیه inversion

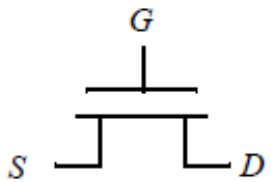


ترانزیستور nMOS





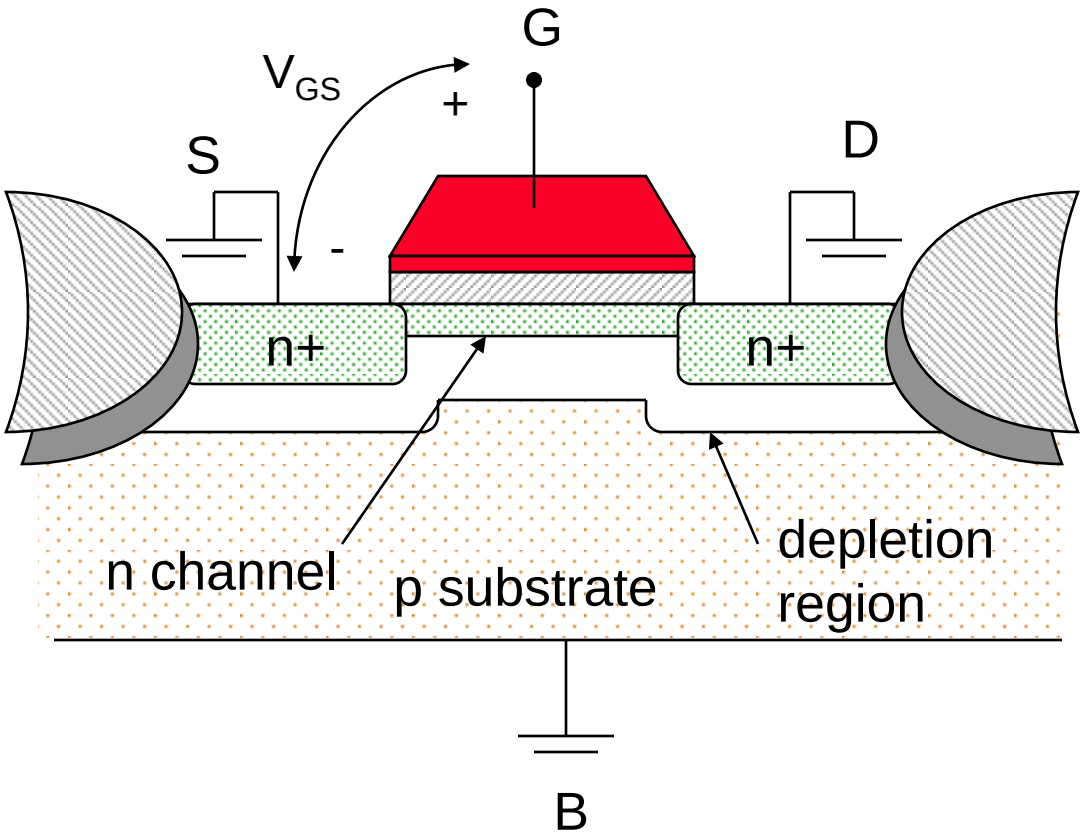
(a) NMOS transistor as 4-terminal device



(b) NMOS transistor as 3-terminal device

معمولا بدنه کلیه ترانزیستور های nMOS به زمین وصل می شود. لذا آنرا بصورت یک عنصر ۳ ترمیناله هم نشان می دهند.

ولتاژ آستانه



مقدار V_{GS} که بازای آن کانال در شرایط strong inversion قرار می گیرد ولتاژ آستانه threshold voltage, V_T نامیده می شود.

ولتاژ آستانه

ابتدا فرض کنیم $V_{SB}=0$ است. با افزایش ولتاژ گیت عرض ناحیه تخلیه زیر گیت افزایش می یابد و افت ولتاژ روی ناحیه تخلیه نیز زیاد می شود.

$$W_d = \sqrt{\frac{2\varepsilon_{si}\phi}{qN_A}} \qquad Q_d = \sqrt{2qN_A\varepsilon_{si}\phi}$$

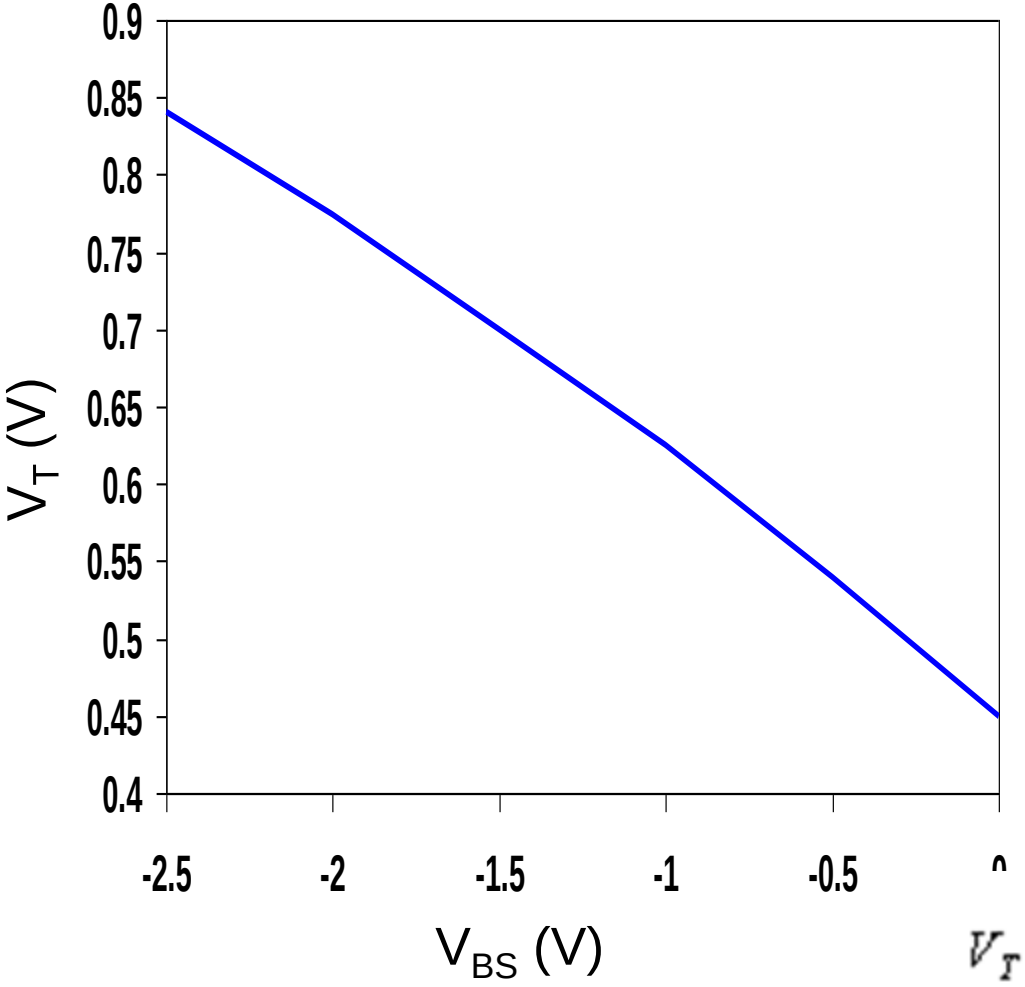
$$\phi = 2\phi_F = 2\phi_T \ln\left(\frac{N_A}{n_i}\right)$$

وقتی این افت ولتاژ دو برابر ولتاژ فرمی ϕ_F شود.
پدیده وارونگی شدید رخ می دهد و با بیشتر شدن ولتاژ ناحیه تخلیه زیاد نمی شود بلکه تجمع الکترون ها را زیر گیت داریم

بنابراین ولتاژ آستانه برابر است با مجموع ولتاژ لازم برای ایجاد Flat Band (جمله اول)، افت ولتاژ روی خازن اکسید گیت (جمله سوم) و ولتاژ لازم برای ایجاد وارونگی

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{2\varepsilon_s qN_a(2\phi_F)}}{C_{ox}}$$

اثر بدنه

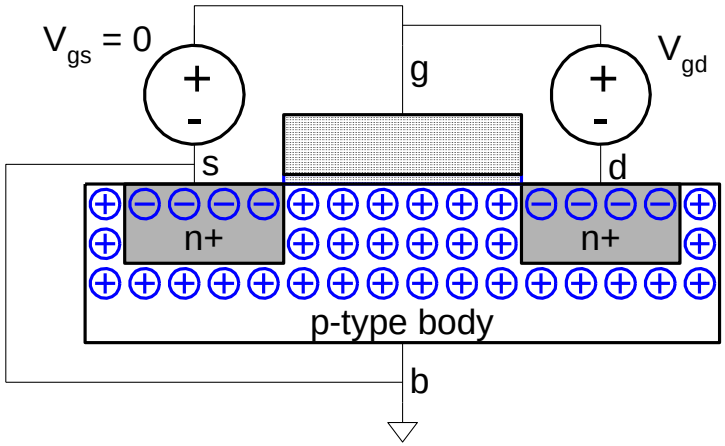


- V_{SB} ولتاژ بایاس سورس نسبت به بدنه است. برای ترانزیستور nMOS چون بدنه به زمین وصل است اگر سورس را به بایاس مثبت وصل کنیم ولتاژ آستانه افزایش می یابد.
- چرا؟
- اگر سورس را بایاس منفی کنیم چه اتفاقی می افتد؟

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{2\varepsilon_s q N_a (2\phi_F)}}{C_{ox}}$$

Assuming $V_{GS} < V_T$

- No channel
- $I_{ds} \approx 0$

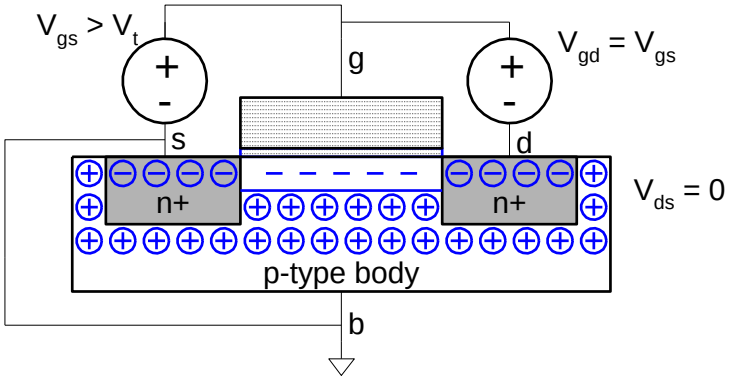


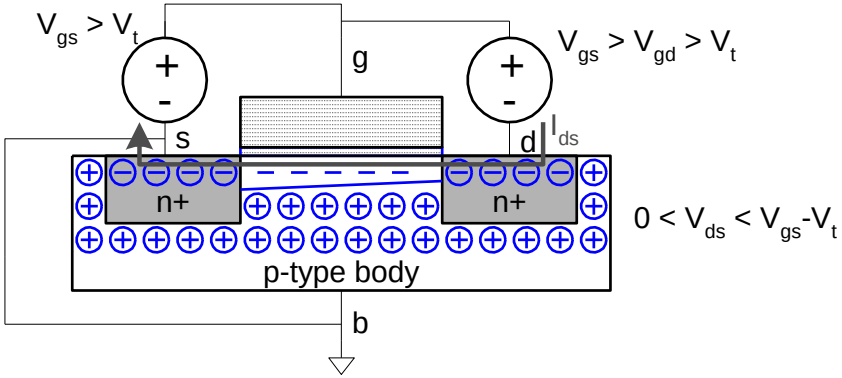
ناحیه خطی

Assuming $V_{GS} > V_T$

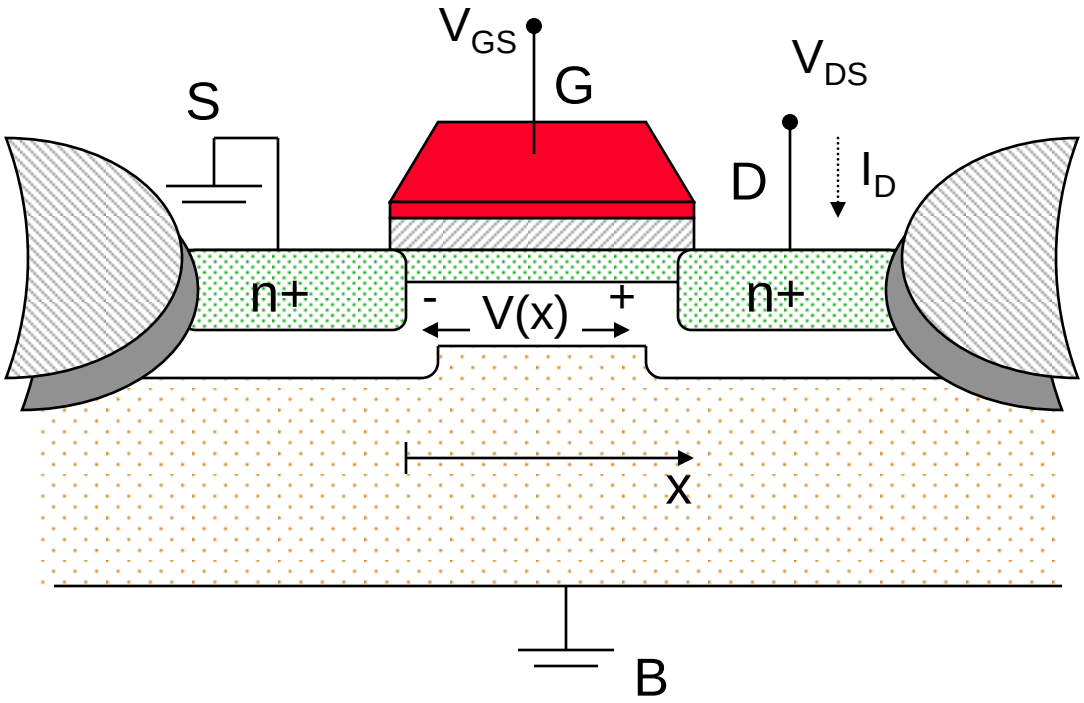
$V_{DS} \leq V_{GS} - V_T$

- کانال تشکیل شده است.
- جریان از درین به سورس عبور می کند
- I_{ds} متناسب با V_{ds} افزایش می یابد.
- رفتار جریان با ولتاژ درین و گیت خطی است.





تحلیل ناحیه خطی



$$Q_i(x) = -C_{ox}[V_{GS} - V(x) - V_T] \qquad C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$$

$$I_D = -\upsilon_n(x) Q_i(x) W \qquad \upsilon_n = -\mu_n \xi(x) = \mu_n \frac{dV}{dx}$$

معادله جریان ولتاژ در ناحیه خطی

$$I_D dx = \mu_n C_{ox} W (V_{GS} - V - V_T) dV$$

برای ادوات کانال بلند ($L>0.25\ \mu m$) در ناحیه خطی

$$I_D = k'_n \, W/L \, [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2]$$

where

$k'_n = \mu_n C_{ox} = \mu_n \varepsilon_{ox}/t_{ox}$ = is the process transconductance parameter هدایت انتقالی فرایند ساخت

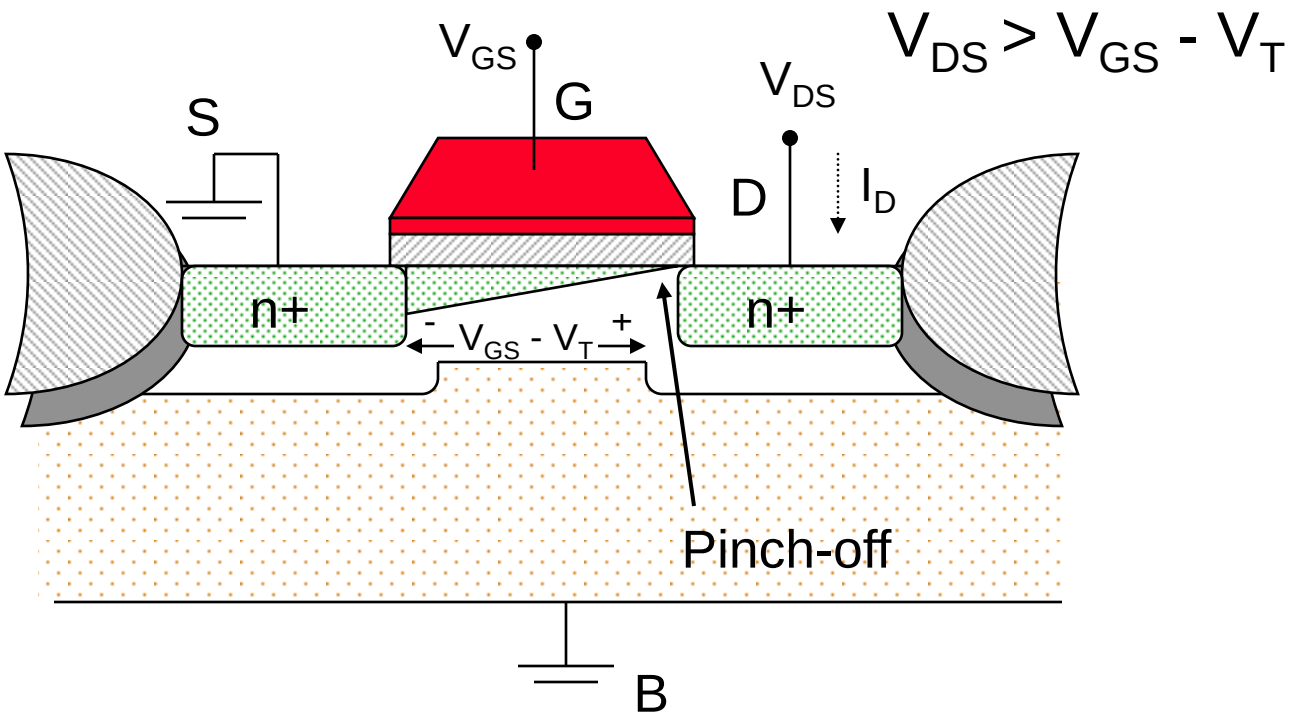
(μ_n is the carrier mobility ($m^2/Vsec$))

$k_n = k'_n \, W/L$ is the gain factor of the device

اگر V_{DS} بقدر کافی کوچک باشد جمله دوم در مقابل جمله اول قابل صرفنظر است و رابطه I-V خطی است.

ترانزیستور در ناحیه اشباع

Assuming $V_{GS} > V_T$



ولتاژ گیت – درین کوچکتر از ولتاژ آستانه است. و کانال در لبه درین وجود ندارد.

مشخصه جریان ولتاژ در ناحیه اشباع

برای ترانزیستور کانال بلند.

- When $V_{DS} \geq V_{GS} - V_T$

$$I_D' = k'_n/2\ W/L\ [(V_{GS} - V_T)^2]$$

افت ولتاژ روی کانال یعنی از نقطه pinch-off تا سورس ثابت می ماند و مقدار آن $V_{GS} - V_T$ است.

- البته تغییر V_{DS} طول موثر کانال را کاهش می دهد که این موضوع باعث افزایش جریان با ولتاژ V_{DS} می شود. که این موضوع به اثر مدولاسیون طول کانال معروف است.

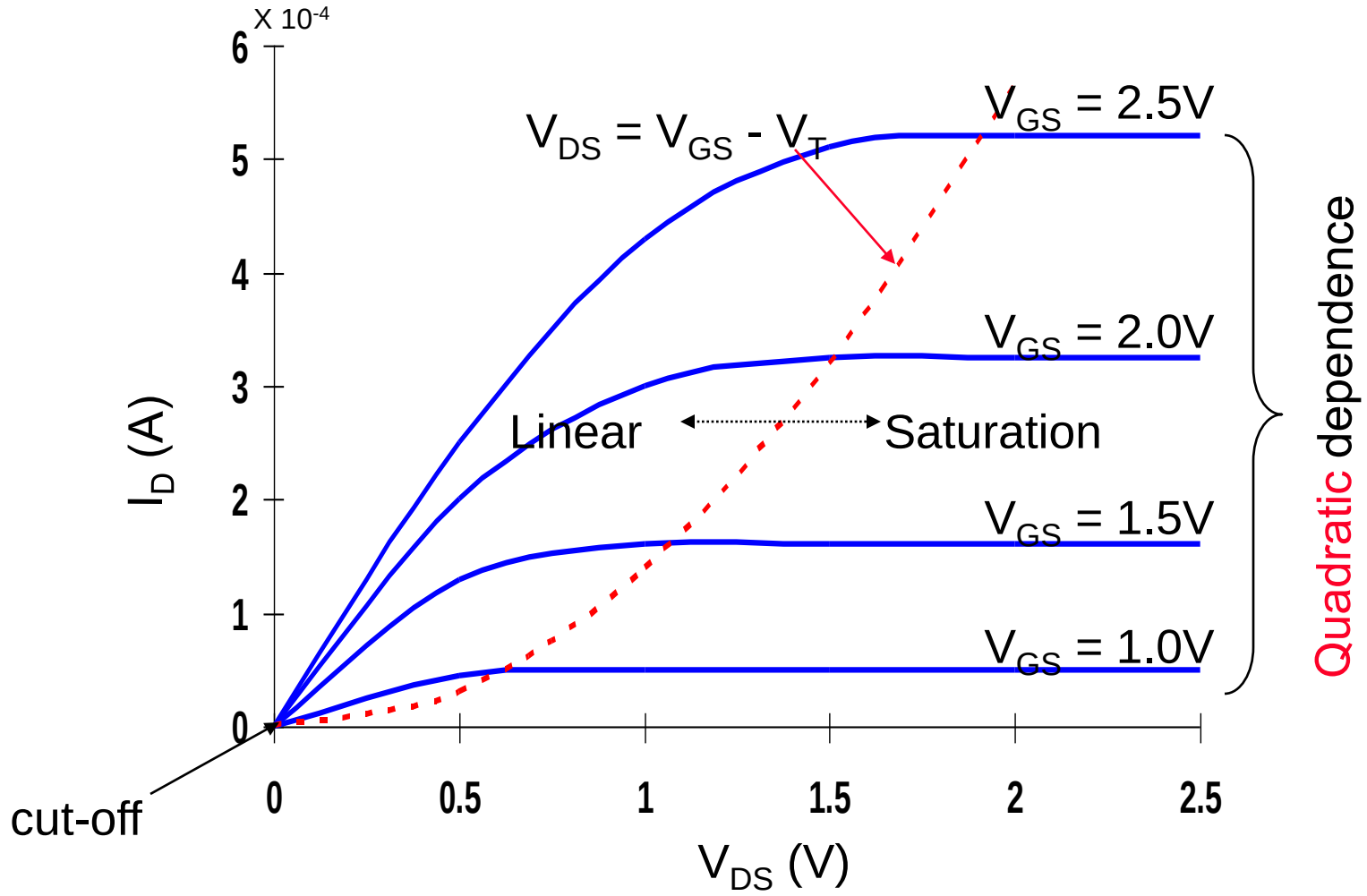
$$I_D = I_D' (1 + \lambda V_{DS})$$

λ is the channel-length modulation coefficient

Current Determinates

- بازای مقادیر ثابت V_{DS} و V_{GS} ($> V_T$), جریان I_{DS} تابعی از پارامتر های زیر است.
  - the distance between the source and drain – L
  - the channel width – W
  - the threshold voltage – V_T
  - the thickness of the SiO_2 – t_{ox}
  - the dielectric of the gate insulator (SiO_2) – ε_{ox}
  - the carrier mobility
    - for nMOS: $\mu_n = 500\ cm^2/V\text{-}sec$
    - for pMOS: $\mu_p = 180\ cm^2/V\text{-}sec$

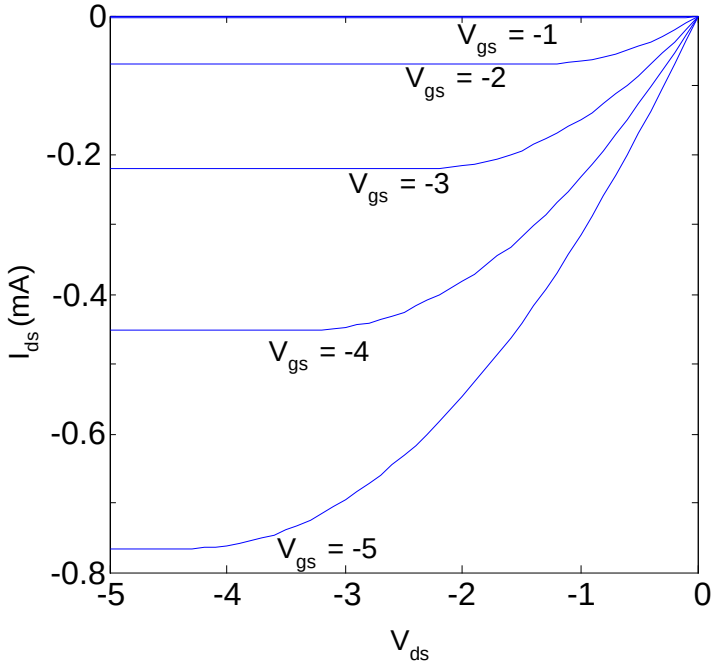
مشخصه جریان ولتاژ nMOS کانال بلند



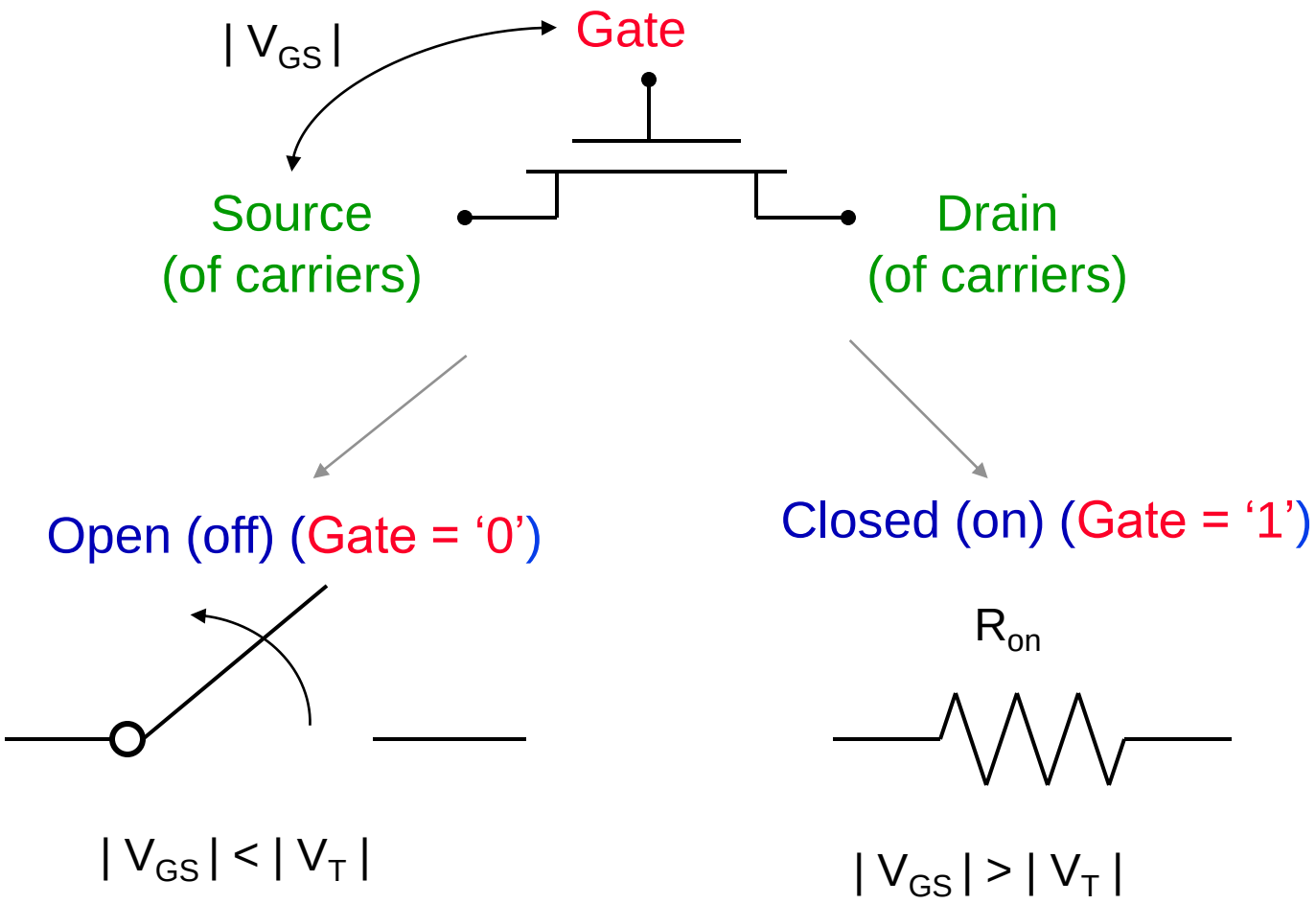
NMOS transistor, 0.25um, L_d = 10um, W/L = 1.5, V_{DD} = 2.5V, V_T = 0.4V

مشخصه I-V ترانزیستور pMOS

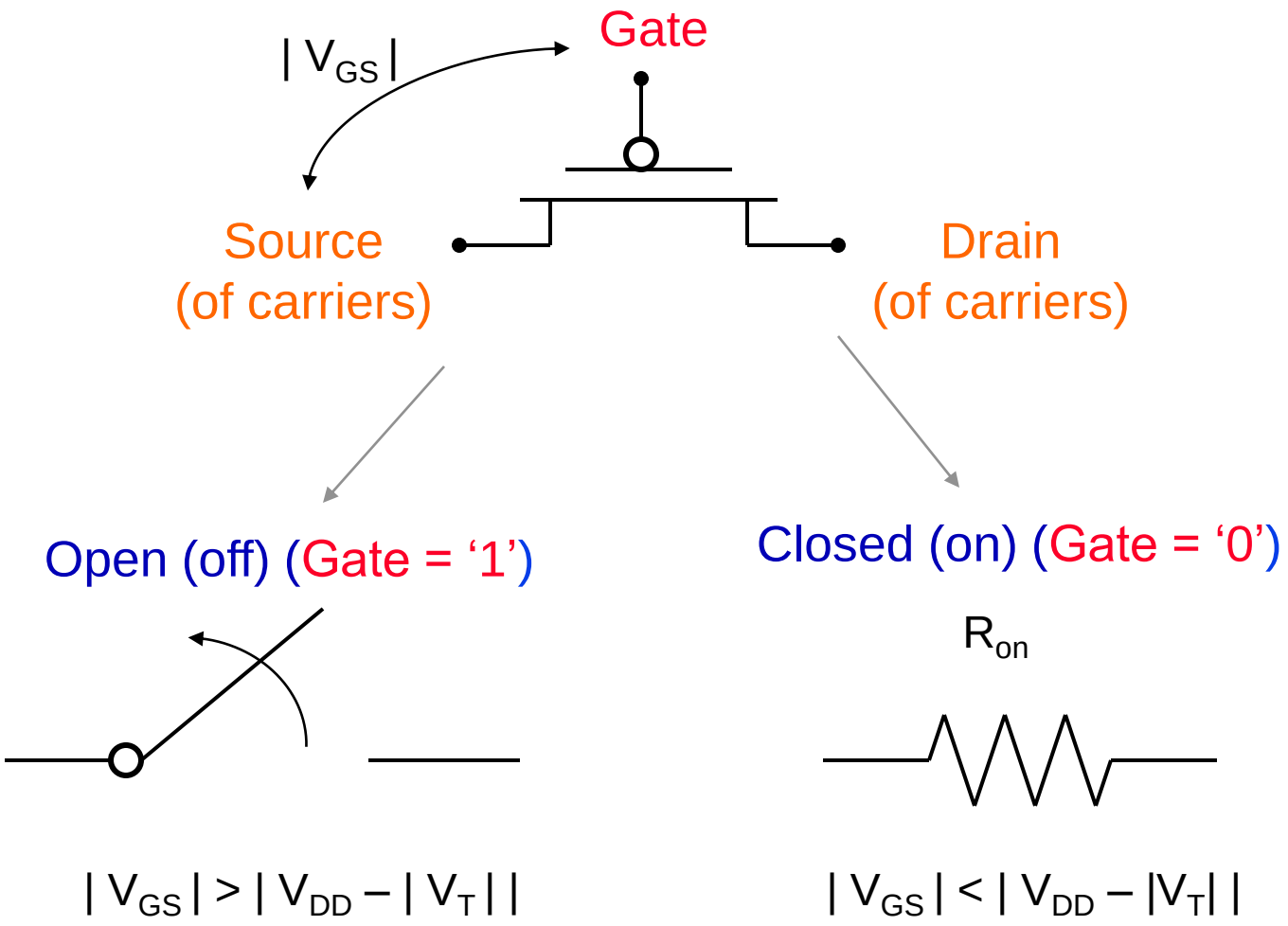
- کلیه doping ها و ولتاژ ها وارون می شوند.
- ولتاژ سورس از ولتاژ درین و گیت بالاتر است و جهت جریان نیز از سورس به سمت درین است تمامی پارامتر ها یعنی I_{DS} و V_{GS} و V_{DS} منفی می شوند
- در pMOS حفره ها حامل های جریان هستند چون موبیلیتی حفره ها ۲-۳ برابر کمتر از الکترون ها است. برای آنکه مشخصه pMOS مشابه nMOS باشد، W (عرض) pMOS را ۲-۳ برابر nMOS می گیرند.



مدل سوییچ ترانزیستور nMOS

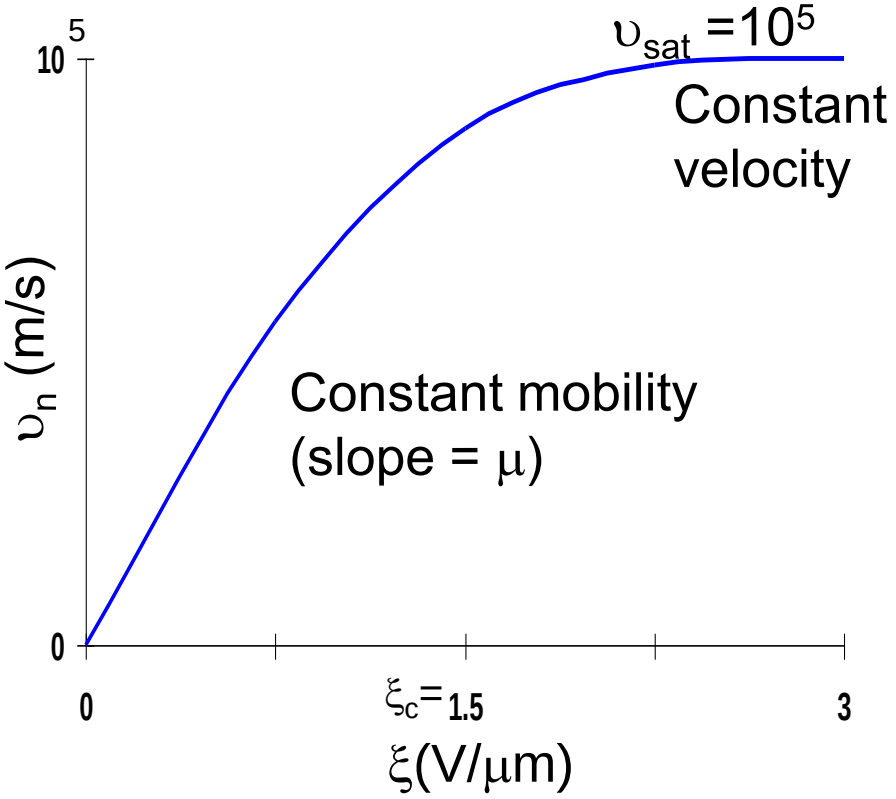


مدل سوییچ ترانزیستور pMOS



اثر کانال کوتاه

- در کانال های با طول کوتاه (L<0.25 μm)



- پدیده اشباع سرعت رخ می دهد. یعنی با افزایش شدت میدان عرضی سرعت نمی تواند از حدی بیشتر شود. (چرا)

- چون طول کم است بازای ولتاژ های کم (1.5-2V) در کانال 25μm. پدیده اشباع سرعت رخ می دهد و این پدیده نسبت به پدیده pinch off غالب است.

معادله ولتاژ جریان در شرایط کانال کوتاه

۱- ناحیه خطی

- Linear: When $V_{DS} \leq V_{GS} - V_T$

$$I_D = \kappa(V_{DS})\, k'_n\, W/L\, [(V_{GS} - V_T)V_{DS} - V_{DS}^2/2]$$

$$\kappa(V) = 1/(1 + (V/\xi_c L))$$

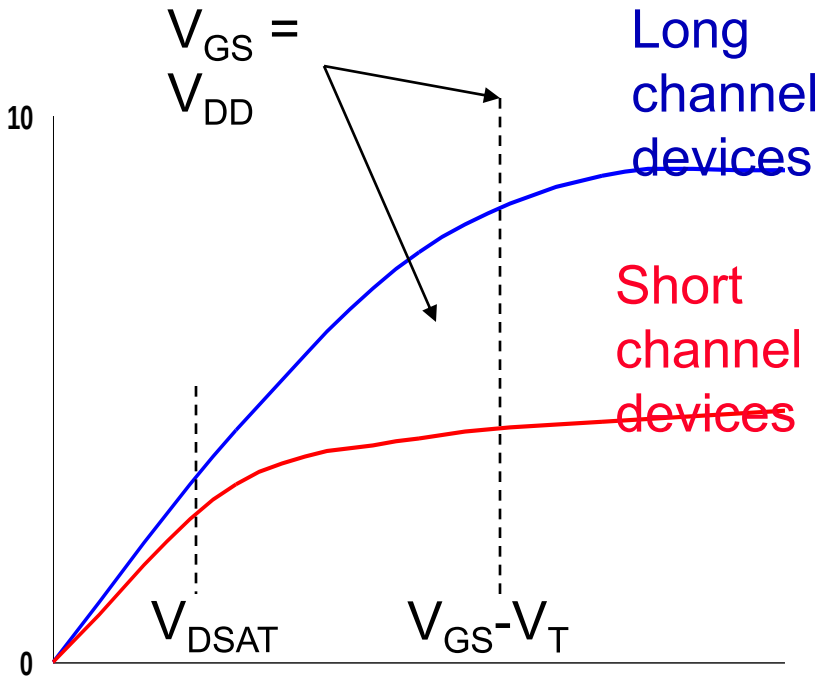
۲- ناحیه اشباع سرعت

- شرط اشباع سرعت

$$V_{DSAT} = L\xi_c = \frac{L\upsilon_{sat}}{\mu_n}$$

$$I_{DSat} = \kappa(V_{DSAT})\, k'_n\, W/L\, [(V_{GS} - V_T)V_{DSAT} - V_{DSAT}^2/2]$$

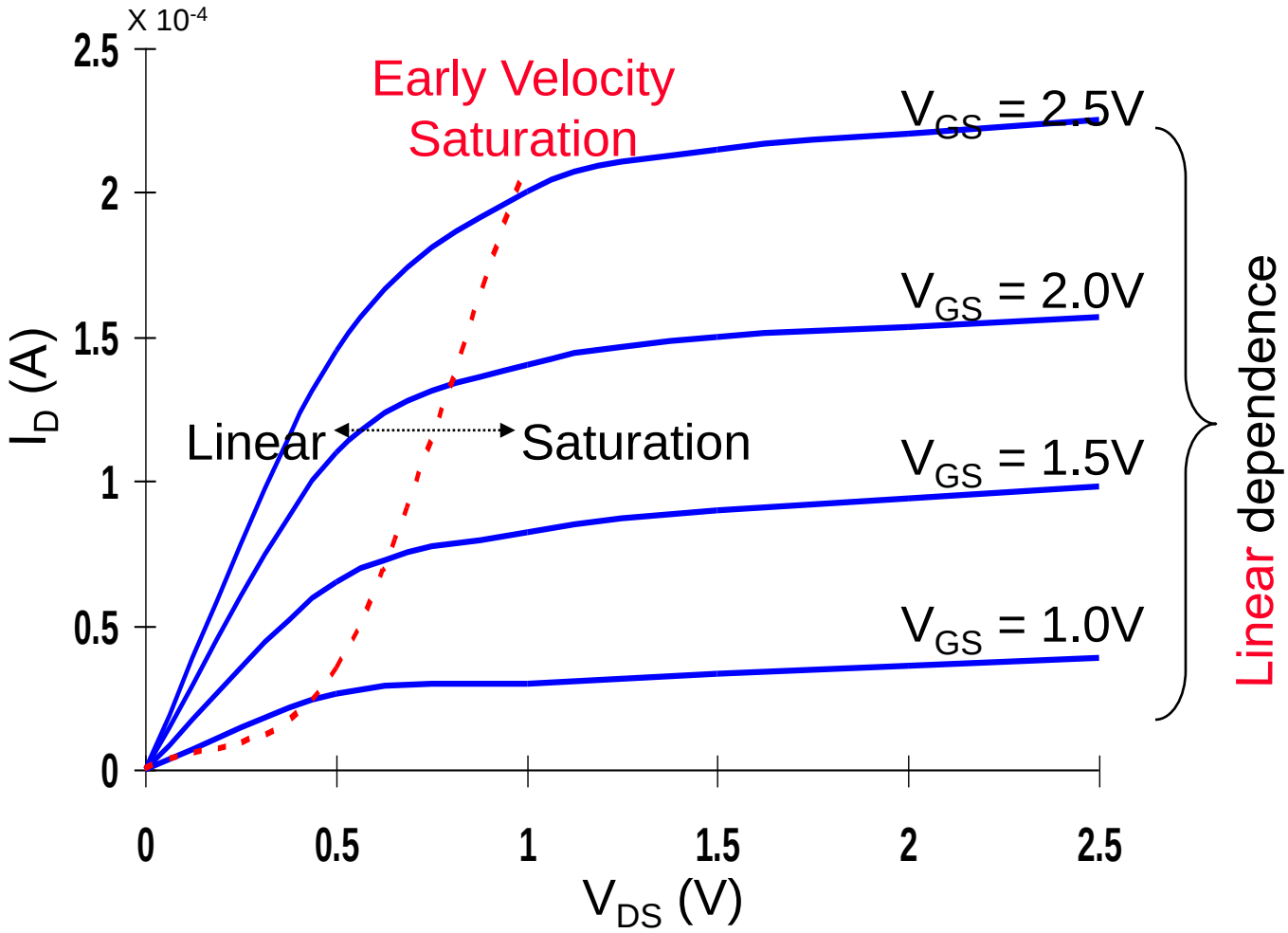
مقایسه کانال کوتاه و بلند



$V_{DSAT} < V_{GS} - V_T$

- شرط اشباع سرعت در ولتاژ کمتر از pinch-off رخ می دهد لذا مشخصه کانال کوتاه رفتار قطعه را تعیین می کند

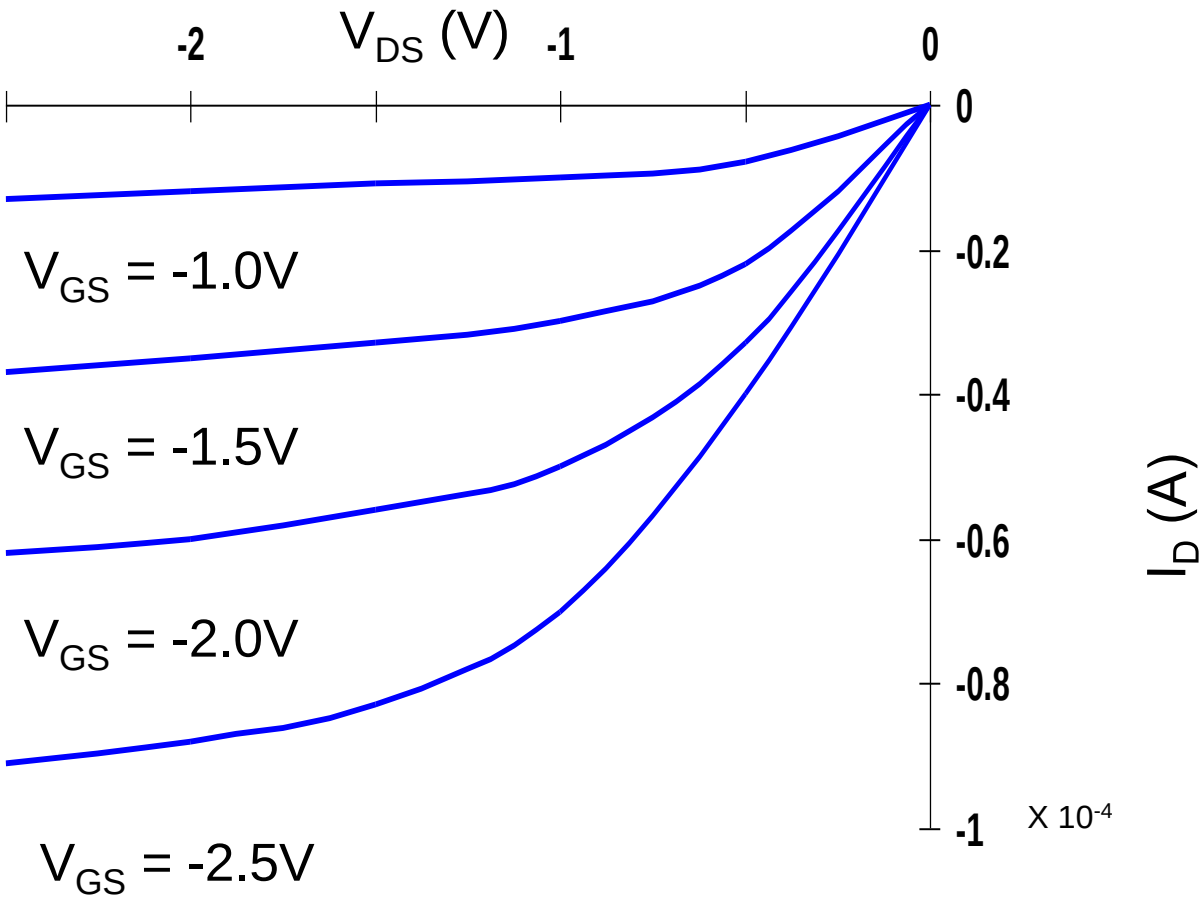
مشخصه I-V کانال کوتاه nMOS



NMOS transistor, 0.25um, L_d = 0.25um, W/L = 1.5, V_{DD} = 2.5V, V_T = 0.4V

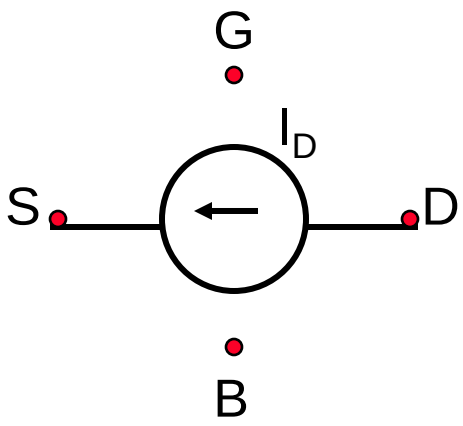
مشخصه I-V کانال کوتاه ترانزیستور pMOS

- All polarities of all voltages and currents are reversed



PMOS transistor, 0.25um, L_d = 0.25um, W/L = 1.5, V_{DD} = 2.5V, V_T = -0.4V

مدل ترانزیستور بصورت منبع جریان کنترل شده با ولتاژ



$$I_D = 0 \text{ for } V_{GS} - V_T \leq 0$$

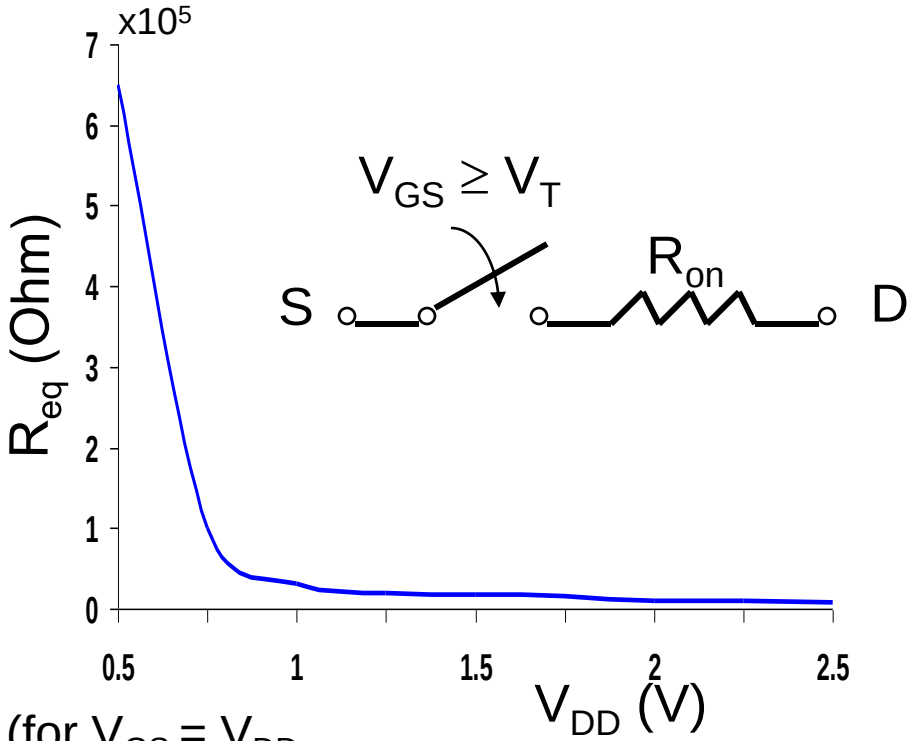
$$I_D = k' W/L \left[(V_{GS} - V_T)V_{min} - V_{min}^2/2\right](1+\lambda V_{DS})$$
$$\text{for } V_{GS} - V_T \geq 0$$

$$\text{with } V_{min} = \min(V_{GS} - V_T, V_{DS}, V_{DSAT})$$
$$\text{and } V_{GT} = V_{GS} - V_T$$

- در مدل فوق با داشتن ۵ پارامتر زیر می توان مشخصه جریان ولتاژ را بدست آورد

	$V_{T0}(V)$	$\gamma(V^{0.5})$	$V_{DSAT}(V)$	$k'(A/V^2)$	$\lambda(V^{-1})$
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

مدل ترانزیستور بصورت سوییچ و مقاومت غیر خطی



(for $V_{GS} = V_{DD}$, $V_{DS} = V_{DD} \rightarrow V_{DD}/2$)

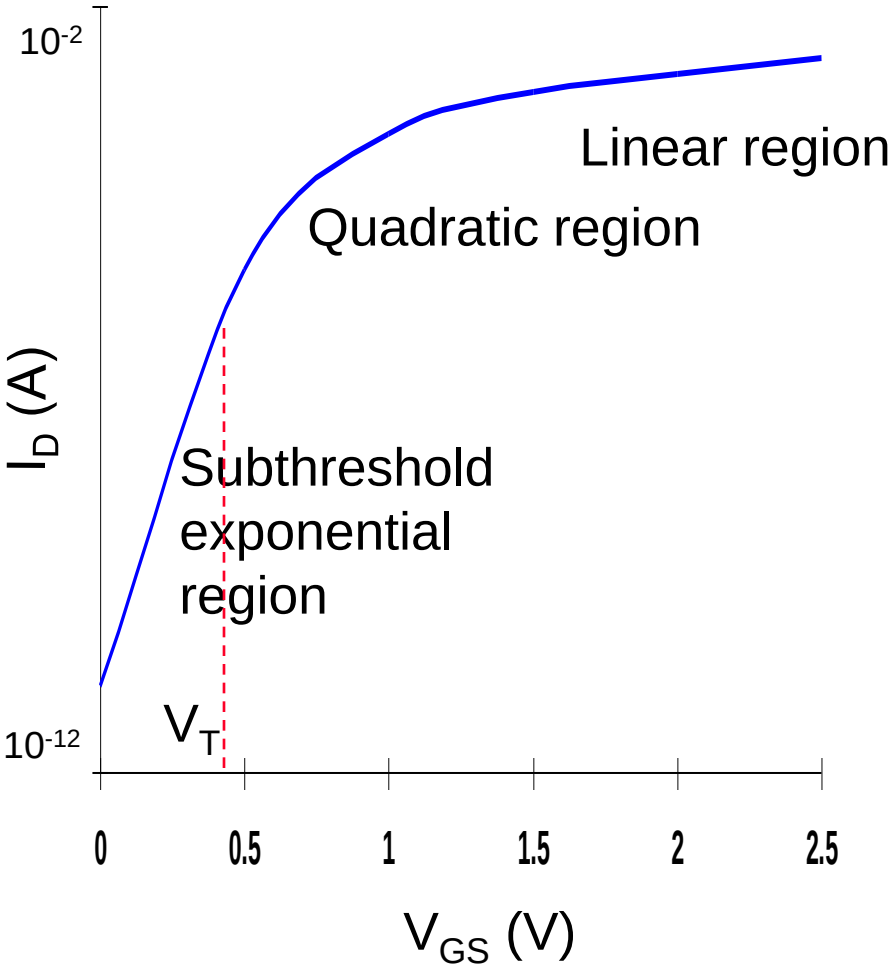
در حالت قطع سوییچی با مقاومت بی نهایت و در حالت روشن سوییچی با مقاومت محدود R_{on}

- **مقاومت رابطه معکوس با W/L دارد و دو برابر کردن W مقاومت R_{on} را نصف می کند.**
- **وقتی $V_{DD} >> V_T + V_{DSAT}/2$ مقدار مقاومت تقریبا ثابت است.**
- **وقتی V_{DD} به V_T نزدیک می شود مقاومت R_{on} بصورت شدیدی افزایش می یابد.**

V_{DD}(V)	1	1.5	2	2.5
NMOS(kΩ)	35	19	15	13
PMOS (kΩ)	115	55	38	31

R_{on} (for W/L = 1)
For larger devices divide R_{eq} by W/L

هدایت در ناحیه زیر استانه



$$I_D \sim I_S\, e^{(qV_{GS}/nkT)} \quad \text{where} \quad n \geq 1$$

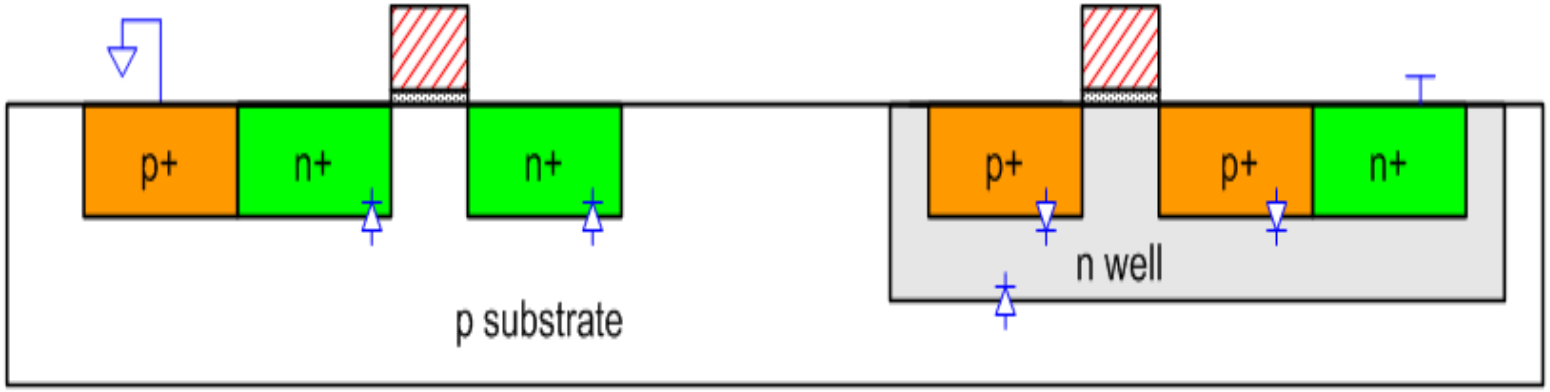
- در ناحیه زیر آستانه جریان رابطه نمایی با ولتاژ دارد.
- شیب مشخصه نمایی با دما افزایش می یابد.

$$S = n\,(kT/q)\,\ln(10)$$

(typical values 60 to 100 mV/decade)

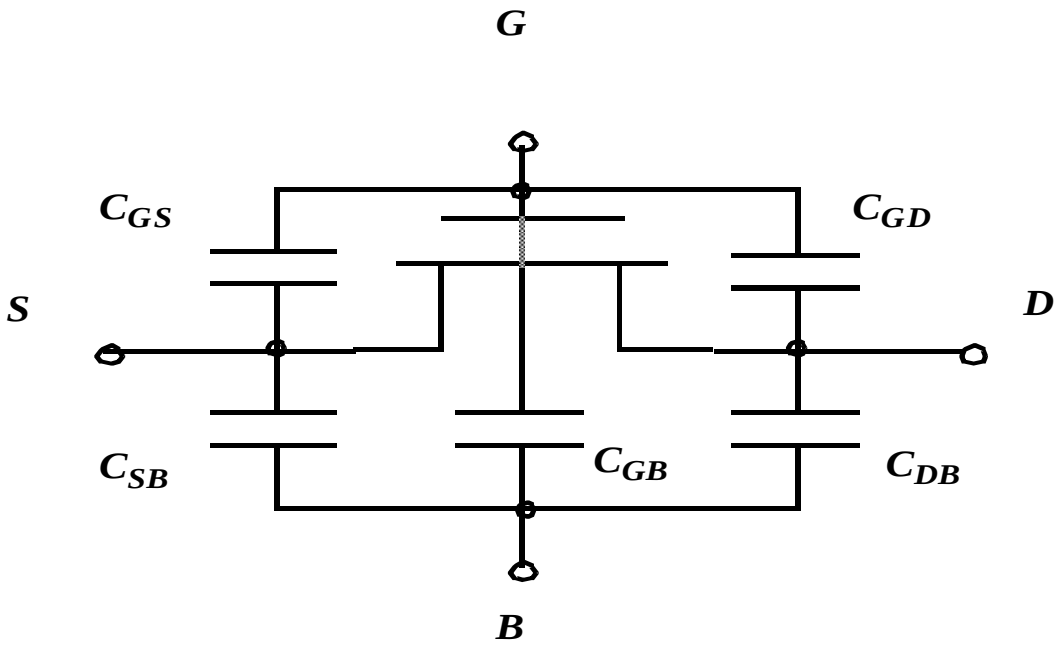
- تلفات در ناحیه زیر آستانه نقش مهمی در تلفات دینامیکی دارد.

دیود های پارازیتی همراه ترانزیستور ها



رفتار دینامیکی ترانزیستور

- خازن بین گیت و کانال C_{GC}
- خازن همپوشانی بین گیت و سورس C_{GS}
- خازن همپوشانی بین گیت و درین C_{GD}
- خازن بین سورس و بدنه C_{SB}
- خازن بین درین و بدنه C_{DB}



خازن گیت – بدنه

• در حالت قطع خازن *MOS* بین گیت و بدنه C_{GCB} و مقدار آن برابر خازن گیت C_G برابر WLC_{OX} می باشد که C_{OX} از رابطه زیر بدست می آید.

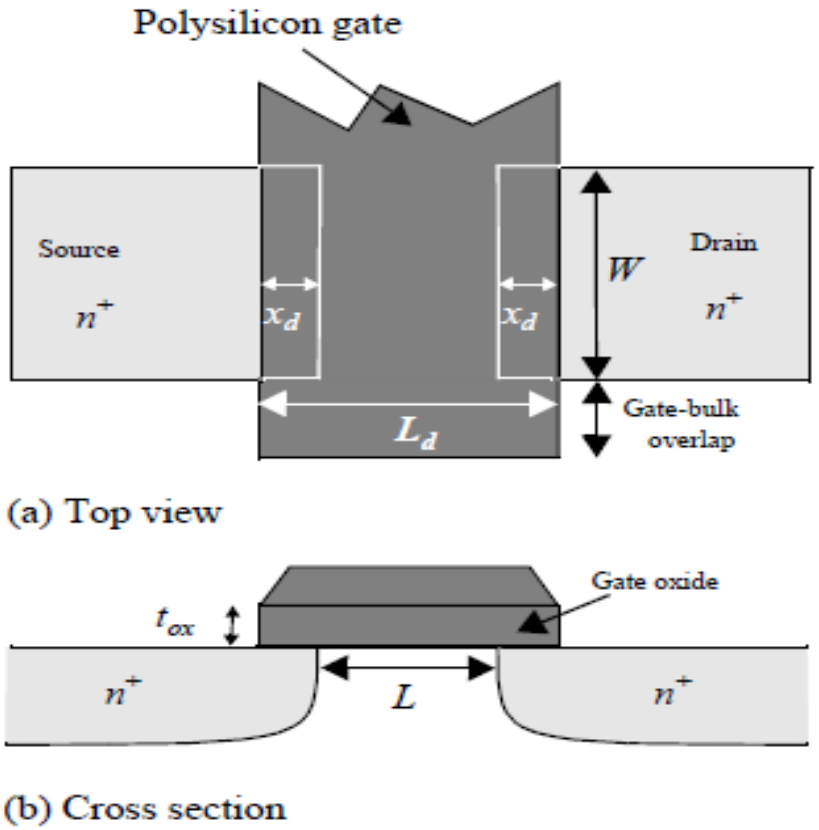
$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$$

• در حالت خطی خازن گیت بین گیت و درین و سورس است. در این حالت خازن گیت تقریبا بصورت مساوی بین درین و سورس تقسیم شده است لذا

$C_{GCS}=C_{GCD}=WLC_{OX}/2$

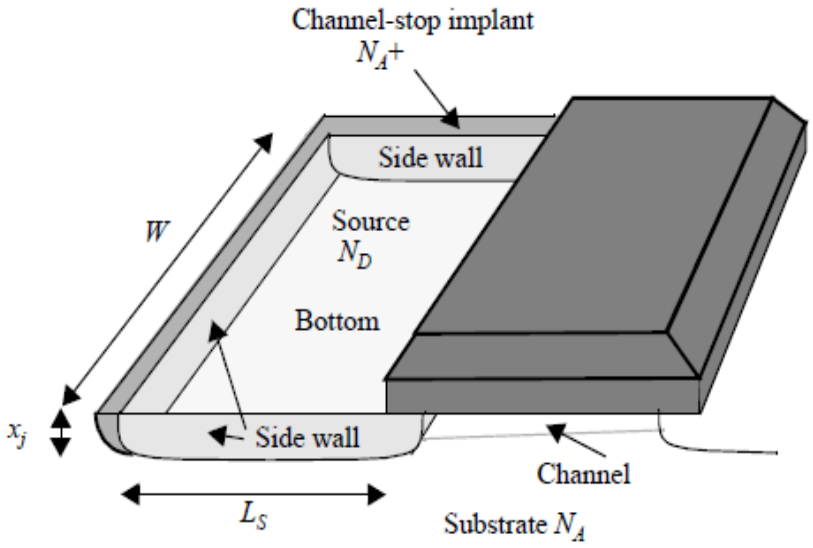
• در حالت اشباع چون بار در طرف درین وجود ندارد C_{GCD} به صفر میل می کند و C_{GCS} تقریبا برابر $2/3\ WLC_{OX}$ می شود.

خازن همپوشانی



$$C_{GSO} = C_{GDO} = C_{ox}x_dW = C_oW$$

خازن های پیوند (نفوذ)



خازن صفحه پایینی از رابطه $C_{bottom}=WL_SC_J$

خازن صفحات جانبی $C_{SW}=C'_{JSW}\, x_j\, (W+2xL_s)$ $\quad C_{JSW}= C'_{JSW}\, x_j$

$C_{diff} = C_{bottom} + C_{sw} = C_j' \times$ سطح پیوند $+ C_{jsw}'$ محیط پیوند

$= C_jL_SW + C_{jsw}(2L_S + W)$

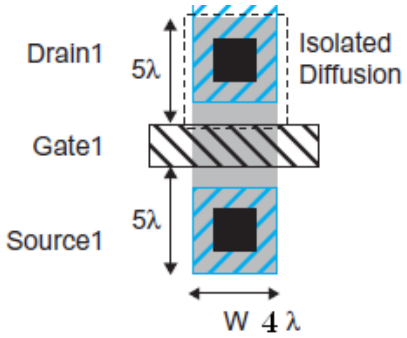
مثال محاسبه خازن

مثال: layout یک ترانزیستور nMOS در تکنولوژی 65 nm در شکل زیر نشان داده شده است مقادیر خازن درین بدنه را بازای دو حالت ولتاژ درین 0V و 1V بدست آورید.

$CJ = 1.2\ \text{fF}/\mu\text{m}^2,\ MJ = 0.33,$

$\lambda = 25\ \text{nm}$

$CJSW = 0.1\ \text{fF}/\mu\text{m},\ CJSWG = 0.36\ \text{fF}/\mu\text{m},\ MJSW = MJSWG = 0.10,\ \text{and}\ \psi_0 = 0.7\ \text{V}$



$$C_{db}(0\ \text{V}) = (0.0125\mu\text{m}^2)\left(1.2\frac{\text{fF}}{\mu\text{m}^2}\right) + (0.35\mu\text{m})\left(0.1\frac{\text{fF}}{\mu\text{m}}\right) + (0.1\mu\text{m})\left(0.36\frac{\text{fF}}{\mu\text{m}}\right) = 0.086\ \text{fF}$$

سطح پیوند درین بدنه برابر λ 4x5 می شود که برابر است با $0.0125\ \mu\text{m}^2$

محیط جانبی نیز برابر (λ 2x5+4) می شود که برابر است با 0.35 µm .

نکته در محاسبه محیط بخش طرف کانال محاسبه نمی شود.

$$C_{db}(1\ \text{V}) = (0.0125\mu\text{m}^2)\left(1.2\frac{\text{fF}}{\mu\text{m}^2}\right)\left(1+\frac{1.0}{0.7}\right)^{-0.33} + \left[(0.35\mu\text{m})\left(0.1\frac{\text{fF}}{\mu\text{m}}\right) + (0.1\mu\text{m})\left(0.36\frac{\text{fF}}{\mu\text{m}}\right)\right]\left(1+\frac{1.0}{0.7}\right)^{-0.10} = 0.076\ \text{fF}$$

با توجه به اینکه خازن تابع ولتاژ است، برای انجام محاسبه دستی میانگین این دو مقدار یعنی 0.081 fF به عنوان خازن درین بدنه لحاظ می شود.

شبیه سازی و مدل SPICEترانزیستور MOS

- مدل LEVEL1 معادله درجه دوم ترانزیستور کانال بلند است و اثر کانال کوتاه در آن مدل نشده است.

- مدل LEVEL2 که مدل مبتنی بر هندسه سه بعدی و فیزیک قطعه است و برخی اثرات مرتبه دوم نظیر اشباع سرعت، کاهش موبیلیتی و DIBL در آن لحاظ شده است. در عمل بدلیل پیچیدگی زیاد و عدم امکان تعریف دقیق پارامتر ها قابل بهره برداری نیست.

- مدل LEVEL3 که در واقع یک مدل نیمه تحلیلی است و در آن سعی شده تا حد امکان از معادلات ریاضی و پارامتر های قابل اندازه گیری استفاده شود. تا ابعاد حدود ۱ میکرومتر تقریب قابل قبولی بدست می دهد.

- مدل BSIM3V3 است که توسط دانشگاه برکلی ارایه شده است و به آن Level49 نیز گفته می شود. (مدل مورد استفاده برای تحلیل ترانزیستور های مدار مجتمع)

پارامتر های مدل BSIM3

Parameter Category	Description
Control	Selection of level and models for mobility, capacitance, and noise LEVEL, MOBMOD, CAPMOD
DC	Parameters for threshold and current calculations VTH0, K1, U0, VSAT, RSH,
AC & Capacitance	Parameters for capacitance computations CGS(D)O, CJ, MJ, CJSW, MJSW
dW and dL	Derivation of effective channel length and width
Process	Process parameters such as oxide thickness and doping concentrations TOX, XJ, GAMMA1, NCH, NSUB
Temperature	Nominal temperature and temperature coefficients for various device parameters TNOM
Bin	Bounds on device dimensions for which model is valid LMIN, LMAX, WMIN, WMAX
Flicker Noise	Noise model parameters

پارامتر های مهم در تعریف ترانزیستور

Parameter Name	Symbol	SPICE Name	Units	Default Value
Drawn Length	*L*	L	m	–
Effective Width	*W*	W	m	–
Source Area	*AREA*	AS	m^2	0
Drain Area	*AREA*	AD	m^2	0
Source Perimeter	*PERIM*	PS	m	0
Drain Perimeter	*PERIM*	PD	m	0
Squares of Source Diffusion		NRS	–	1
Squares of Drain Diffusion		NRD	–	1

جلسه آینده

- درس بعدی
  - وارونگر CMOS